

國立台灣科技大學電子工程系

實務專題成果展及年度最佳專題競賽

(一)目的

為提升國立台灣科技大學電子工程系(以下簡稱本系)學生修習實務專題課程成效，特舉辦實務專題成果展及年度最佳專題競賽活動。

(二)專題成果展

本系修習實務專題同學，一律參與本系舉辦之實務專題成果展，每組專題均須以壁報方式進行簡報。現場將票選出三組最佳人氣獎，由系辦公室頒發獎狀及獎金每組新台幣 3,000 元，以資鼓勵。

(三)最佳專題競賽

最佳專題遴選名單由本系專題評分委員會推薦，於專題競賽活動中同時張貼壁報及展示成品。再由最佳專題遴選委員會評定名次，由系上頒發獎狀及獎金，以資鼓勵。優勝獎至多七組，每組獎金新台幣 10,000 元。最佳專題遴選委員會由本系各組教師代表、獲邀系友及業界代表所組成。

(四)重要時程 (展示日期約每年 12 月第 3 週的週一舉辦)

1. 成果展示與競賽日期：○○年○○月○○日(週一)下午 2:00~4:00。
2. 專題成果(或進度)摘要繳交期限：○○年○○月○○日。
(只有獲推薦成績優異及專題競賽者須繳交，格式如下，請繳交電子檔及紙本，紙本須請老師簽名)
3. 專題成果海報繳交期限：○○年○○月○○日。
(參考範例如下，繳交電子檔即可)

(五)報告格式及相關規定

1. 專題成果(或進度)摘要(獲推薦成績優異及專題競賽者須繳交)：以 4 頁為限，內容含專題名稱、組員、摘要、設計原理及結果等。(格式如下附)
2. 專題成果海報(每組均須繳交)：請製作成 A1 大小(直式)的 PDF 檔案，上傳 moodle 或 Email 至 huang1208@mail.ntust.edu.tw，由系辦公室統一輸出，請參考後附的格式。
3. 專題組員須準時出席現場說明，如因課程或無可避免之因素缺席，必須事前向系辦公室請假。

國立台灣科技大學電子工程系

○○○年度(下學期)實務專題成果展(無競賽)

(一)目的

為提升國立台灣科技大學電子工程系(以下簡稱本系)學生修習實務專題課程成效，特舉辦實務專題成果展及年度最佳專題競賽活動。

(二)專題成果展

本系修習實務專題同學，第二學期(修習三上三下或延畢者)須參與本系舉辦之**實務專題成果展**，每組專題均須以壁報方式公開張貼。

(三)專題成績優異推薦

依據本系專題生評分辦法規定：學生實務專題表現優異，可能給予 85 分(或 A)以上成績時，必須由指導老師推薦名單至系辦公室，本學期須參加口頭報告，由學術系務規劃委員會評定成績。

(四)重要時程

1. 口頭報告(提成績優異者)及成果展日期：**5月下旬** (另行公告)
2. 專題成果(或進度)摘要繳交期限：○○年○○月○○日。
(獲推薦成績優異者須繳交，格式如下，請繳交**電子檔**及**紙本**，紙本須請老師簽名)
3. 專題成果海報繳交期限：○○年○○月○○日。
(修習 3 上 3 下或延修者均須繳交，請繳交**電子檔**；修習 3 下 4 上者可不
必繳交海報)

(五)報告格式及相關規定

1. 專題成果摘要(獲推薦成績優異及專題競賽者須繳交)：以 4 頁為限，內容含專題名稱、組員、摘要、設計原理及結果等。(格式如下附)
2. 專題成果海報(修習 3 上 3 下或延修者均須繳交)：請製作成 A1 大小的 PDF 檔案，Email 至 huang1208@mail.ntust.edu.tw，由系辦公室統一輸出，請參考後附的格式。
3. 專題組員須準時出席現場說明，如因課程或無可避免之因素缺席，必須事前向系辦公室請假。

○○○年度實務專題口頭報告及最佳專題競賽成果(或進度)摘要

(獲推薦成績優異及專題競賽者須繳交)

專題組別：_____

專題名稱：_____

組員：_____、_____

指導老師：_____ (請老師簽名)

一、摘要：

二、設計原理：

三、實驗結果或實驗進度：

四、請提示或說明組員於此專題之個人貢獻部份，以作為評分之參考。(務必填寫)

(4 頁為限，電子檔請於○○月○○日前 email 至 huang1208@mail.ntust.edu.tw)



CNN硬體架構分析與應用(FPGA)

組別：1062A45 指導老師：阮聖彰 教授

組員：B10402005 王佐育、B10402017 黃育銘、B10402132 黃偉倫

一、摘要

卷積神經網路(Convolutional Neural Network, CNN)由一個或多個卷積層和頂端的全連接層組成，同時也包含權重和池化層。這一結構使得卷積神經網路能夠利用輸入資料的二維結構。與其他深度學習結構相比，卷積神經網路在圖像辨識方面能夠給出更好的結果。

不過為了達成辨識更多的物件和更高的辨識率，會使卷積層成長數倍，導致在辨識的過程，需要更多運算的時間，因此本專題著重於設計一個有效率的卷積神經網路運算加速器。

二、原理

Training & Inference

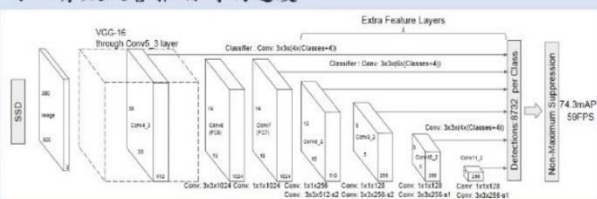
卷積神經網路的運作可以分為兩個階段，分別為訓練期與推論期；在訓練期間，卷積神經網路最主要的工作，就是利用訓練資料(training data)來決定系統的參數，訓練期的五大步驟如下：
步驟1：將訓練資料送入網路的輸入單元。
步驟2：比較輸出單元預測值與實測值之間的差異。
步驟3：選擇適當的鍵結值和偏權值，使誤差降低。
步驟4：重複步驟1至3，不斷地修正所有的鍵結值(weight)和偏權值(bias)；
步驟5：將最後得到的鍵結值和偏權值加以固定，以備未來在正式場合使用。
推論期也就是正式使用卷積神經網路，利用訓練期所獲得的優化系統參數，對輸入的圖樣特徵向量資料作運算，推算該圖樣屬於各類別的機率值各是多少。

Quantization

原本的系統參數是浮點數的格式，因為我們要在FPGA上設計硬體加速器，所以我們需要先經由量化的方式將浮點數的系統參數轉換成整數的系統參數，這樣會有助於我們設計硬體加速器。我們用k-means演算法來做量化的運算，將32位元浮點數量化成8位元整數。k-means的目的是把n個點劃分到k個聚類中，使得每個點都屬於離它最近的均值對應的聚類，以之作為聚類的標準。

Single Shot MultiBox Detector (SSD)

SSD是我們這次所採用的CNN模型，它的特徵提取網路的基礎架構是採用VGG-16，去除了VGG-16的全連結層FC8，將FC6、FC7轉換為卷積層。這樣的設計讓運算變成以卷積為主，再透過硬體加速器的話，可以有效改善推論時的速度。



圖一：SSD架構圖

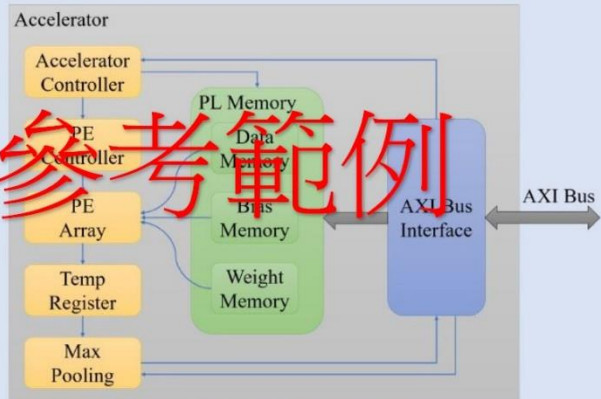
三、設計架構

分析SSD模型後我們發現運算量最大的部分為模型前段之VGG-16的部分，因此硬體主要針對此部分進行加速。VGG-16的運算由三種運算組成：

1. 卷積核大小為9的卷積運算(3*3 Convolution)。
2. 將運算結果小於0就化為0的線性整流運算(ReLU)。
3. 在2*2範圍內取最大值的池化運算(2*2 max)。

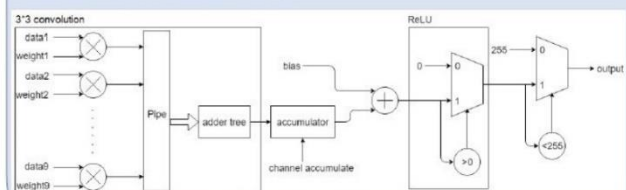
故我們將會在硬體上實現這三種運算。

我們把一張圖像資料分為許多大小為48(8*6) Bytes的小圖像來做運算，如此一來完成運算後的小圖像便可先暫存在FPGA的記憶體中以便在下個運算中重複使用，以減少資料在加速器和外部記憶體間傳輸次數，進而提升速度及效率。



圖二：硬體加速器架構圖

PE Array由24個PE(processing element)構成，可在1個clock cycle內以卷積核大小為9(3*3)的卷積核完成對一張6*8大小的圖片的卷積運算，輸出一張4*6大小的特徵圖(feature map)。



圖三：PE架構圖

四、實驗結果

將硬體加速器燒錄至Xilinx ZYNQ 7020 SoC上，並將只使用SoC上之ARM Cortex-A9 CPU和使用硬體加速器進行VGG-16第一層運算所需時間進行比較：

只使用CPU： 5.247912s
使用硬體加速器： 0.650193s

由結果得知其可將運算加速約8倍。