



光電半導體組

莊敏宏 教授

國立交通大學博士

研究領域：微電子工程、顯示器元件及技術

關鍵字：奈米元件、顯示器

網頁：

電子郵件：AK80492@mail.ntust.edu.tw

電話：02-27376436

一、研究主題與目標

1. 高功率半導體元件設計及製程研發

研發溝渠式閘極金氧半場效電晶體之製程簡化，並製作一雙重摻雜基底之元件，改善元件導通特性。此外，並設計耐壓六百伏特之 IGBT。

2. 奈米元件及製程

研究矽奈米線成長機制，並經由製程設計而形成自動對準之矽奈米線電晶體元件。

3. 次零點一微米積體電路製程及元件

對包含 bulk 及 SOI 矽基底之極小尺寸電晶體元件作規劃設計，並對其通道工程與汲極工程作一探討。此外，包含閘極、源汲極接面、高介電常數電容等製程，作相關探討。

4. 顯示器元件與技術

使用大角度源汲極離子佈植獲至特性極佳之複晶矽薄膜電晶體，並對輕摻雜源汲極離子佈植對元件特性影響作一研究。通道工程對元件的影響亦作相關討論。也使用 buried channel 來形成複晶矽薄膜電晶體，以改善其特性。

5. 太陽電池元件/製程

對矽、矽鍺、碳化矽等材料之太陽電池，其結構及製程作研究設計，使達到較佳的轉換效率。

二、最近研究題目

● 以雙重摻雜基底來形成溝渠式功率金氧半場效電晶體

在均勻摻雜基底之方式下，在適當的溝渠深度、磊晶厚度、與基底濃度的選擇時，可形成一耐壓超過 30 伏特而且特性導通電阻大約 1 ohm-cm 之電晶體。另一方面，藉由使用高能量與低能量之雙重硼佈植，可形成雙重摻雜基底之方式。藉由使用雙重摻雜基底之方式，可進一步獲得一耐壓超過 30 伏特而且特性導通電阻大約 0.8 ohm-cm 之電晶體。因此，隨著將 cell pitch size 降至 2 μm 以下，這個元件製造方式將是有潛力且實際地來達成一低於 0.1 $\text{m}\Omega\text{-cm}^2$ 的特性導通電阻且耐壓超過 30 伏特。

● 以大角度離子佈植汲極來形成高效能的薄膜電晶體

比較傳統型單一汲極/源極的薄膜電晶體，擁有輕摻雜汲極結構的薄膜電晶體，以及擁有大角度離子佈植汲極結構的薄膜電晶體的電特性。結果顯示擁有大角度離子佈植汲極結構的薄膜電晶體比起傳統型單一汲極/源極的薄膜電晶體、擁有輕摻雜汲極結構的薄膜電晶體將會擁有更低的漏電流。因為它對藉由陷阱狀態所產生的載子發射機制能更有效的抑制。而且，擁有大角度離子佈植汲極結構

的薄膜電晶體其衝擊游離電流(與元件使用之可靠度相關)的峰值比起傳統型單一汲極/源極的薄膜電晶體、擁有輕摻雜汲極結構的薄膜電晶體也會小的多。因此,擁有大角度離子佈植汲極結構的薄膜電晶體將可以達到優越的元件特性以及可靠度。

三、主要研究成果與所執行的計畫

1. M. H. Juang and S.C. Harn, "Formation of shallow p⁺n junctions using different annealing schemes with low thermal budget", Jpn. J. Appl. Phys., vol. 39, pp. 1066-1069, 2000.
2. M. H. Juang, "A study of forming p⁺ poly-Si gate by inductively coupled nitrogen plasma nitridation of the stacked poly-Si layers", J. Vac. Sci. Tech. B, vol. 18, pp. 1937-1941, 2000.
3. C. C. Hwang, C. C. Jaing, M. J. Lai, J. S. Chen, S. Huang, M. H. Juang, and H. C. Cheng, "Effect of rapid thermal annealed TiN barrier layer on BST capacitors prepared by RF magnetron cosputter system at low substrate temperatures", Electrochemical and Solid-State Lett., vol. 3, pp.563-565, 2000.
4. C. C. Hwang, M. J. Lai, C. C. Jaing, J. S. Chen, S. Huang, M. H. Juang, and H. C. Cheng, "Low temperature process to improve the leakage current of (Ba,Sr)TiO₃ films on Pt/TiN/Ti/Si substrates", Jpn. J. Appl. Phys. Lett., vol. 39, L1314-1316, 2000.
5. C. C. Hwang, M. H. Juang, M. J. Lai, C. C. Jaing, J. S. Chen, S. Huang, and H. C. Cheng, "Effect of rapid-thermal-annealed TiN barrier layer on the Pt/BST/Pt capacitors prepared by RF magnetron cosputter technique at low substrate temperatures", Solid State Electronics, vol. 45, pp. 121-125, 2001.
6. M. H. Juang, L. C. Sun, W. T. Chen, and C. I. Ou-Yang, "A process simplification scheme for fabricating self-aligned silicided trench-gate power MOSFET's", Solid State Electronics, vol. 45, pp. 169-172, 2001.
7. M. H. Juang, C. I. Ou-Yang, and S. L. Jang, "A design consideration of channel doping profile for sub-0.12 μm partially depleted SOI n-MOSFET's", Solid State Electronics, vol. 46, pp. 1117-1121, 2002.
8. H. F. Teng, S. L. Jang, and M. H. Juang, "A unified model for high-frequency current noise of MOSFETs", Solid State Electronics, vol. 47, pp. 2043-2048, 2003.
9. M. H. Juang, W. T. Chen, C. I. Ou-Yang, and S. L. Jang, M. J. Lin, and H. C. Cheng, "Fabrication of trench-gate power MOSFETs by using a dual doped body region", Solid State Electronics, vol. 48, pp. 1079-1085, 2004.
10. M. H. Juang and Y. M. Chiu, "High-performance poly-Si thin-film-transistors formed by using large-angle-tilt implanted drain", Semi. Sci. Technol., vol. 20, pp. 1223-1225, 2005.
11. M. H. Juang, W. T. Chen, C. I. Ou-Yang, and S. L. Jang, M. J. Lin, and H. C. Cheng, "Formation of Mo gate electrode with adjustable work function on thin Ta₂O₅ high-k dielectric films", Solid State Electronics, to be published, 2006