



計算機組

阮聖彰 副教授

國立臺灣大學電機博士

研究領域：低功率系統設計、嵌入式系統軟硬體分析與最佳化

關鍵字：VLSI、embedded system

網頁：<http://lps.et.ntust.edu.tw/professor.htm>

電子郵件：sjruan@mail.ntust.edu.tw

電話：02-27376411

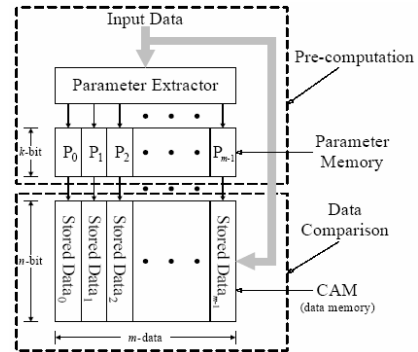
一、研究主題與目標

- 低功率 SoC 設計與合成
- 低功率影像處理
- 低功率計算機組織與結構

二、最近研究題目

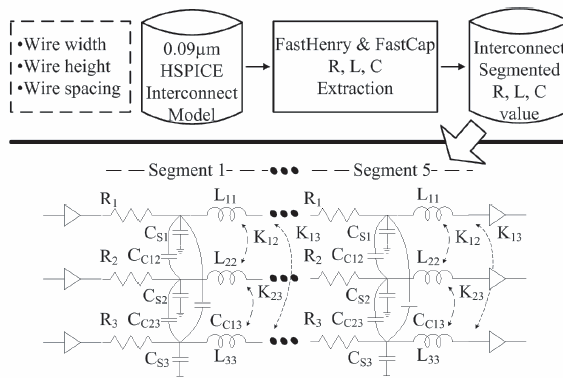
- **低功率預先計算內容可定址記憶體之合成與設計(Low Power Precomputation- CAM Design)**

本研究是基於 Block-XOR 特徵值擷取器之架構下，提出一名為 Gate-Block Selection 的合成演算法。由於 **Block-XOR** 架構只適用於隨機輸入的資料型態，故為了使此架構能更適用於特定的資料型態，此演算法可針對特定的資料型態，去合成一較佳的特徵值擷取器，使預先計算內容可定址記憶體在進行資料比對時，能夠減少其所需的資料比對次數，進而達到降低功率消耗的目標。根據實驗結果顯示，藉由我們提出的 Gate-Block Selection 演算法所合成之特徵值擷取器，能夠比 Block-XOR 架構大約減少 3%~13% 的資料比對次數與 2%~10% 的功率消耗。



- **低功率動態匯流排設計(Low Power Dynamic Bus Design)**

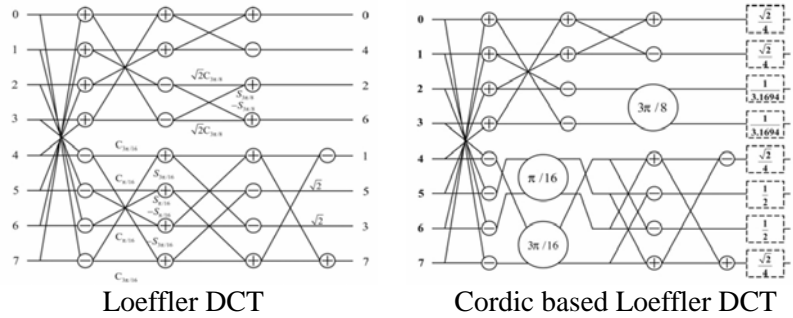
隨著科技進步至奈米製程，導線間的耦合效應越來越嚴重，不只影響了晶片導線的功率消耗亦破壞了訊號的完整性。由於現今的晶片設計，使用了低電阻導線與高速的訊號轉態時間，使得在設計匯流排時，除了電容效應，電感的效應亦必需納入考量。本研究提出了一個低功率系統匯流排的設計，此設計是透過動態的編碼方法，同時降低資料傳送時所造成的電容與電感效應，進而減少匯流排的消耗功率。而實驗數據顯示，此設計確實可以成功地降低 20% 的匯流排功率消耗。此外，此設計亦同時對編碼器做最佳化，在幾乎不降低效能的情況下，減少了編碼器 29% 的面積。



- **低功率離散餘弦轉換架構(Low Power Cordic Based Loeffler DCT for Signal Processing)**

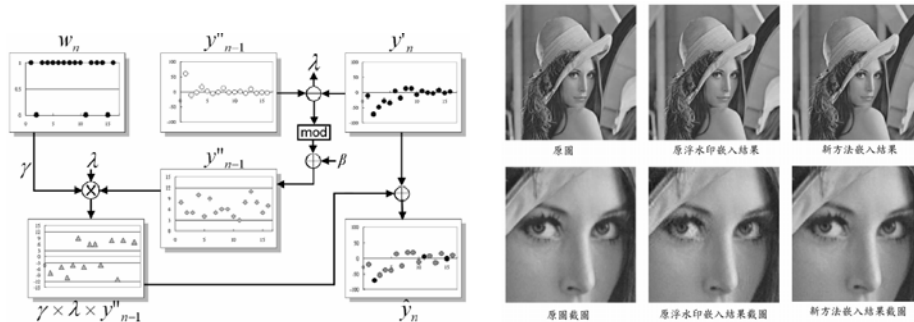
隨著時代的進步，兼顧低功率運算與高品質影像壓縮的設計逐漸成為關注的焦點。在本研究中我們提出了一個 Cordic based Loeffler DCT 架構，本架構只要使用到 38 個加法器跟 16 個移位器運算就可以完成無乘法器的 DCT 轉換。本研究使用 TSMC 0.13 μ m 製程的技術合成驗證，根據實驗結果顯示，新架構只需要原先 Loeffler DCT 19% 的面積

和只消耗 16% 的功率，並可以維持跟 Loeffler DCT 相似的影像品質。



• **高品質浮水印演算法(High Quality Robust Digital Watermarking)**

本研究是基於低功率浮水印演算法下，另外提出了改良浮水印品質的方法，對於嵌入資料之方式加以改進，以配合 PBSM 與低功率 DCT 演算法，成為不僅為低功率消耗，且具高品質之浮水印演算法。由於區塊排序配對在提升影像品質上具有舉足輕重的角色，但是區塊排序配對與臨近區塊嵌入這兩種方法並存時會產生不匹配的現象，此不匹配的結果會導致影像品質下降。為了改善此問題，本研究提出一個新的嵌入過程，此方法能在低頻區塊保有臨近區塊嵌入的特性，而在高頻區塊能縮小資料嵌入後的改變量。經由實驗結果証實，所提出的方法可以有效地改善浮水影像品質，即使經由局部性的檢視仍無法被人眼所查覺。



三、主要的研究成果與所執行的計畫

(一) 論文

- 甲、 **Shanq-Jang Ruan**, Chi-Yu Wu, and Jui-Yuan Hsieh, "Low Power Design of Precomputation-based Content Addressable Memory," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 16, No. 3, pp. 331-335, Mar. 2008. (SCI/EI)
- 乙、 **Shanq-Jang Ruan** and Shang-Fang Tsai, "DS2IS: Dictionary-based Segmented Signal Inversion Scheme for Low Power Dynamic Bus Design," Journal of Systems Architecture. (accepted) (SCI)
- 丙、 C.-C. Sun, **Shanq-Jang Ruan**, B. Heyne and J. Goetze, "Low-power and high-quality Cordic-based Loeffler DCT for signal processing," IET (IEE)Circuit Devices & System, (6), pp. 453-461, Jan. 2008. (SCI/EI)
- 丁、 Yu-Ting Pai and **Shanq-Jang Ruan**, "A High Quality Robust Digital Watermarking by Smart Distribution Technique and effective embedded scheme," IEICE Trans. on Fundamentals, Vol. E90-A, No.3, pp. 597-605, March, 2007. (SCI/EI)
- 戊、 **Shanq-Jang Ruan**, Kun-Lin Tsai, Edwin Naroska and Feipei Lai, "Bipartitioning and Encoding in Low Power Pipelined Circuits," ACM Trans. on Design Automation of Electronic Systems, Vol. 10, No.1, Jan. 2005, pp 24-32. (SCI/EI) (NSC 92-2218-E-011 -006)

(二) 計畫

- 甲、 PPP Germany-Taiwan Design of Low Power Signal Transform and Coding Algorithms (NSC 中德交流計畫 Jan. 2007- Dec. 2008)
- 乙、 低功率預先計算內容可定址記憶體之設計與合成(NSC 96-2221-E-011-171 -)
- 丙、 低功率容錯匯流排架構之設計 (NSC 95-2221-E-011-188 -)