



系統組

鍾勇輝教授

國立交通大學博士

研究領域：積體電路設計

關鍵字：類比數位轉換電路、生醫類比前端電路、鎖相迴路

網頁：<http://homepage.ntust.edu.tw/yhchung/>

電子郵件：yhchung@mail.ntust.edu.tw

電話：02-27376394

一、研究主題與目標

主要研究主題包括高速類比數位轉換器、超低功耗類比數位轉換器、數位校正技術、鎖相迴路、生醫類比前端電路及生醫系統設計等。

二、最近研究題目

1. 高速類比數位轉換電路

高速(>1GS/s)類比數位轉換電路通常應用在量測儀器、硬碟機、藍光光碟機以及次世代無線通訊 LTE 系統中。對於 6 位元以下的類比數位轉換器，一般都用快閃式(Flash)架構來實現。對一個 8 位元類比數位轉換器而言，次階式架構由於架構上的限制，很難達到 1GS/s 的操作速度。而摺疊式架構則是利用前級放大器作摺疊輸入訊號的功能，需要耗費極大的功耗來實現。為了突破限制，在製程愈來愈先進之際，可以利用奈米電晶體的優點：高速與低功耗，來設計一個操作在大於 1GHz 取樣頻率的 8 位元類比數位轉換器。

2. 超低功耗類比數位轉換電路

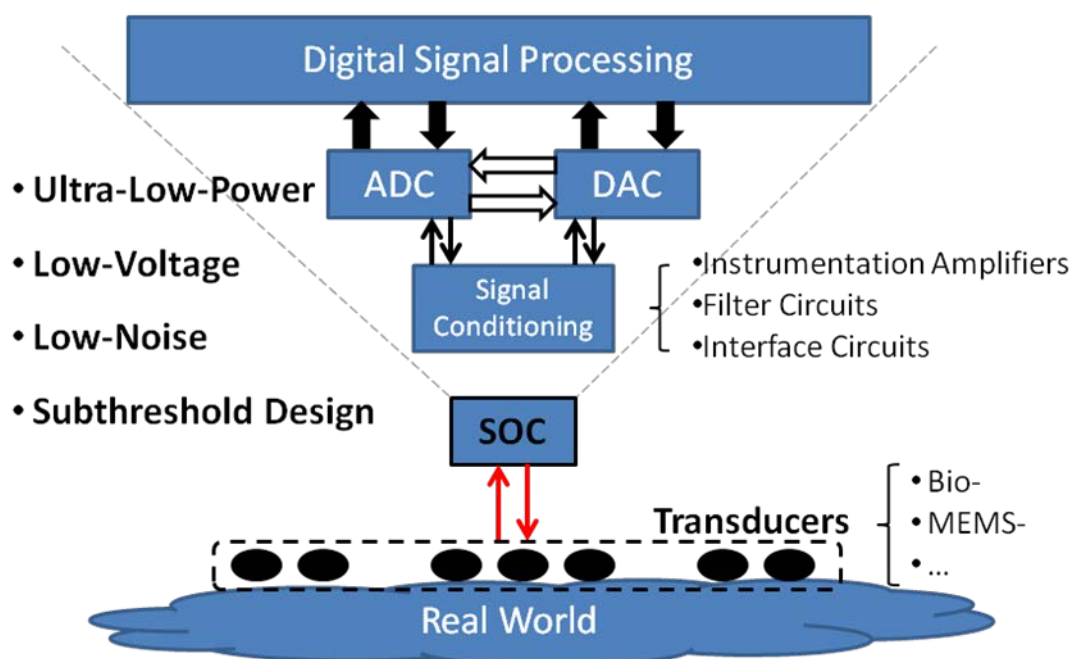
近幾年來，電晶體的操作速度隨著製程演進而愈來愈快，使得漸進式(Successive Approximation)架構非常適合用在 10 位元、<100MS/s 的超低功耗類比數位轉換電路。如前述所言，它充分利用奈米電晶體的優點：高速與低功耗，以達成超高效能的要求。但是在較高解析度(12 位元以上)的實現上，就面臨電容不匹配所帶來的難題，會使得原本架構上的優勢漸失。以一個 12 位元漸進式類比數位轉換器來說，多使用電容陣列來實現數位類比轉換電路。在製程上，電容的不匹配特性會造成所需的電容值要大幅增加，因而使功耗遽增。我們的設計目標在使用所提出的技術來降低所需要的電容值，進而降低功率消耗。

3. 數位校正技術

這個研究計畫在開發一種新型的數位強化式類比數位轉換電路，能夠解決在奈米電晶體時代，線性電路因電晶體的線性度變差造成無法滿足高解析度的要求。當製程愈來愈先進之際，我們可以看見電晶體的供應電壓逐漸下降(例如 1.0 V)，它的本質增益(intrinsic gain)也愈來愈小，這些都不利於高精確度的類比電路設計與實現。相反的，電晶體的操作速度卻隨著製程演進而愈來愈快，可以加快數位電路的運算速度與功率消耗。因此，如果可以利用數位電路的優點來彌補類比電路的缺點。那麼高速、高解析度的類比數位轉換電路將會較為容易突破奈米電晶體所帶來的限制，對低功耗系統單晶片(SOC)的實現帶來更多的助益。

4. 生醫類比前端電路

不管是與人體相關的心電圖 (ECG)、腦電圖 (EEG)與肌電圖 (EMG)，或是物聯網 (Wireless Sensor Network)應用，甚至是高端的醫療儀器，儀表放大器與資料轉換電路的品質都在在決定了系統的規格與競爭力。生醫類比前端電路 (Biomedical Analog Front-End Circuits) 與所使用的生醫系統息息相關。我們必須針對應用平台作客製化的感測介面，並且利用已建立的核心技術作為電路設計的主軸，完成生醫感測電路的最佳化設計。



三、 著作目錄

期刊論文

- [1] Yung-Hui Chung and Jieh-Tsorng Wu, "A CMOS 6-mW 10-bit 100-MS/s Two-Step ADC," *IEEE J. Solid-State Circuits*, vol. 45, no. 11, pp. 2217–2226, Nov., 2010.

研討會論文

- [1] Yung-Hui Chung*, Meng-Hsuan Wu, and Hung-Sung Li, "A 24 μ W 12b 1MS/s 68.3dB SNDR SAR ADC with Two-Step Decision DAC Switching," in Proc. *IEEE Custom Integrated Circuits Conference (CICC)*, Sep. 2013, pp. 1–4.
- [2] Yung-Hui Chung*, "The Swapping Binary-Window DAC Switching Technique for SAR ADCs," in Proc. of IEEE Int. Sym. on Circuits and Systems, ISCAS, May, 2013, pp.2231-2234.
- [3] Meng-Hsuan Wu, Yung-Hui Chung*, and Hung-Sung Li, "A 12-bit 8.47-fJ/Conversion-Step 1-MS/s SAR ADC using Capacitor-Swapping Technique," in Proc. *IEEE Asian Solid-State Circuits Conf.*, Nov., 2012, pp.157-160.
- [4] Yung-Hui Chung* and Jieh-Tsorng Wu, "A 16mW 8-bit 1-GS/s Subranging ADC in 55nm CMOS," in *VLSI Circuits Symp. Dig.*, Jun. 2011, pp.128–129.
- [5] Yung-Hui Chung* and Jieh-Tsorng Wu, "A CMOS 6-mW 10-bit 100-MS/s Two-Step ADC," in Proc. *IEEE Asian Solid-State Circuits Conf.*, Nov. 2009, pp.137-140.